

SD 存储卡接口 SD 模式的 FPGA 实现

何 丹, 李树国

(清华大学 微电子所, 北京 100084)

摘 要: SD 存储卡接口定义了两种通信模式, SD 模式和 SPI 模式. 分析了 SD 传输协议后, 给出了一种 SD 模式设备接口的设计方案. 该设计能够自动解析主机发送的命令并响应, 与 Flash 控制器相连后可以对 Flash 进行读写操作. 为了解决数据存取的时序问题, 使用了数据缓存技术. FPGA 验证表明, 该接口能够被电脑识别为 SD 卡, 达到了设计目标.

关键词: SD 存储卡; SD 模式; Flash 控制器; 数据缓存; FPGA

中图分类号: TN43

文献标识码: A

文章编号: 1000-7180(2014)01-0103-04

Implementation of SD Mode of Secure Digital Card Interface Based on FPGA

HE Dan, LI Shu-guo

(Institute of Microelectronics, Tsinghua University, Beijing 10084, China)

Abstract: The SD (Secure Digital) Memory Card interface defines two alternative communication protocols: SD and SPI. Based on analyzing SD card transport protocols, a design scheme of SD mode slave interface is proposed in this paper. The design can decode and response to host commands automatically, Flash can be read and written when connected with Flash controller. FIFO (First-In First-Out) is used in order to solve timing problem. FPGA (Field Programmable Gate Array)-based prototyping testified it can be recognized by computer as a SD card and satisfied the design goal completely.

Key words: SD Memory Card; SD Mode; Flash controller; FIFO; FPGA

1 引言

SD 卡 (Secure Digital Card) 是“安全数码存储卡”的简称, 于 1999 年 8 月由美国 SanDisk 公司、日本东芝和松下公司共同开发研制成功. 随着数码产品的广泛使用, 目前 SD 卡已经成为消费数码产品设备中最广泛的一种存储卡. 在手机中, 大量的安全增值业务设计就是通过 SD 接口实现的. SD 物理层规范定义了两种可选择的通信协议: SD 模式和 SPI 模式^[1].

本文在研究了 SD 物理层规范的基础上, 实现 SD 设备接口 SD 模式的前端设计, 并进行了 FPGA

原型验证.

2 SD 存储卡接口 SD 模式介绍的书写规则

SD 卡与控制器之间通过以下 9 线连接: 时钟 CLK、命令 CMD、数据 D0~D3、电源 VDD 和两根地线 VSS. 其总线拓扑结构如图 1 所示. 命令和响应在 CMD 线上传输, 数据在 D0 (标准总线模式) 或 D0~D3 (宽总线模式) 线上传输.

SD 卡的所有命令都是 6 字节长度. 一个命令总是以起始位(0)开始, 后跟传输方向位(1), 接下是 6 位命令索引, 然后是 32 位命令参数, CRC7 校验位, 结束位(1). SD 的响应分为 R1、R1b、R2、R3、R6、R7

收稿日期: 2013-03-12; 修回日期: 2013-05-09

基金项目: 国家“八六三”计划项目(2012AA012402); 国家自然科学基金(61073173); 清华大学自主研发计划(2011Z05116)

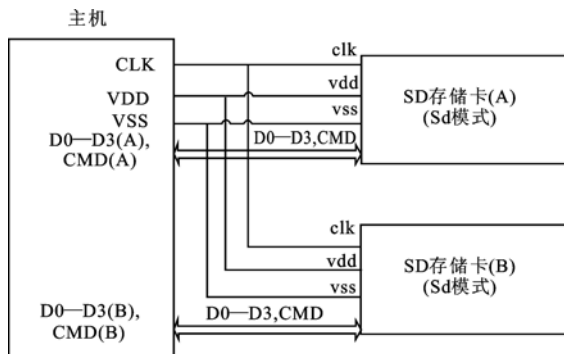


图1 SD卡SD模式的总线拓扑结构

六种,其中 R1、R1b、R3、R6、R7 为 6 字节长度. R2 为 17 字节长度,用于读取 SD 卡的 CID/CSD 寄存器内容^[2]. 一个响应总是以起始位(0)开始,后跟一个传输方向位(0). 除了 R3 响应类型,所有的响应都有 CRC 保护,以一个结束位(1)结束. SD 数据传输以块为单位,每个块总是由数据起始位(0)、数据位、CRC16 校验位和数据结束位(1)组成.

3 整体设计架构

本设计的一端为 SD 存储卡标准接口,与读卡器连接. 为了使接口有通用性,另一端与 Flash 控制器连接,从而达到与不同型号 Flash 连接的目的^[3]. 本设计是连接读卡器和 Flash 控制器的一个中间模块,能够对读卡器发送的命令进行解析并响应,通过 Flash 控制器对 Flash 进行读写操作. 整体设计方案如图 2 所示.

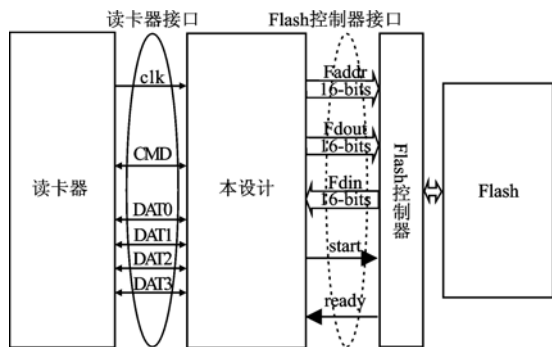


图2 设计方案

4 结构设计

根据 SD 接口功能,将其进行详细的划分,由以下几个部分组成:命令收发模块,数据收发模块,状态控制模块和校验模块^[4]. SD 模块结构如图 3 所示.

4.1 命令收发模块

该模块的结构如图 4 所示. 命令接收与响应发

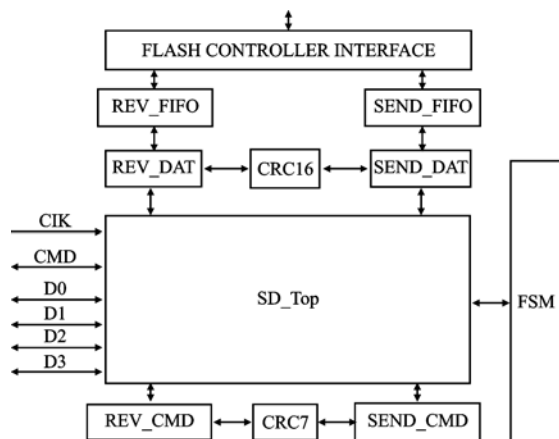


图3 模块结构

送都是在命令线 CMD 上传输的,所以该端口为一个三态门,由输出使能信号 En 控制是否输出. 命令接收时,首先检测命令起始位,检测到起始位后计数器开始工作. 当接收完一个完整命令,发出接收完成信号 End,分别得到移位寄存器中对应的命令索引,命令参数,命令校验. 命令接收过程中,同时将数据传给 CRC7 校验模块,用于生成校验数据. 响应发送时,模块根据状态控制模块给出的响应类型产生对应的响应内容,当接收到发送使能信号 Start 后,给出发送使能信号 En,并将响应的内容通过移位寄存器发送出去. 响应内容发送完成后给出响应完成信号 Rsp_over.

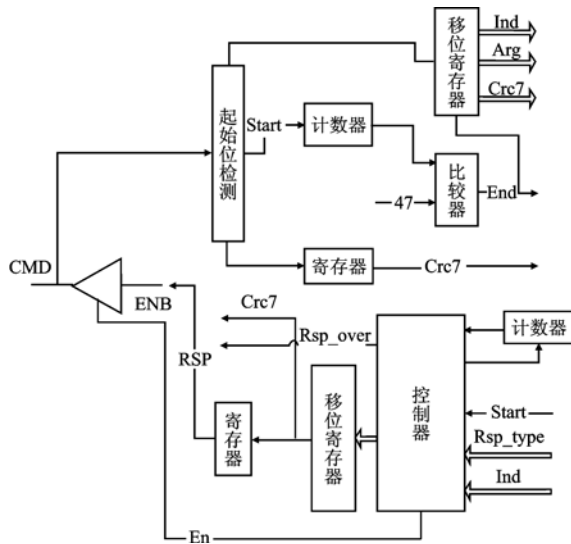


图4 命令接收与响应模块

4.2 数据收发模块

该模块的结构如图 5 所示. 数据线也是双向的. Width 信号指明当前数据传输模式为标准总线模式或宽总线模式. Size 信号指示每个数据块包含的字节数. 该模块包含两个数据缓冲,接收缓冲 Rx FIFO

和发送缓冲 TrFIFO,数据缓冲位宽 16 比特,深度为 256,这是因为数据块最大为 512 字节.数据接收状态时,首先检测数据起始位,检测到起始位后计数器开始工作.接收 Size 个字节的数据后,接收 CRC16 校验位,最后完成数据块接收,发出接收完成信号 End.数据接收过程中,每接收 16 位数据给出写入信号 Wr,将数据写入 RxFIFO.如果 RxFIFO 满,给出 Busy 信号,主机进入数据发送等待.数据发送状态时,接收控制器收到 Start 信号后,开始发出 Rd 信号读取 TrFIFO 数据,并将数据传给移位寄存器,使能数据输出控制信号 Out_en,移位寄存器根据数据传输模式将数据输出.

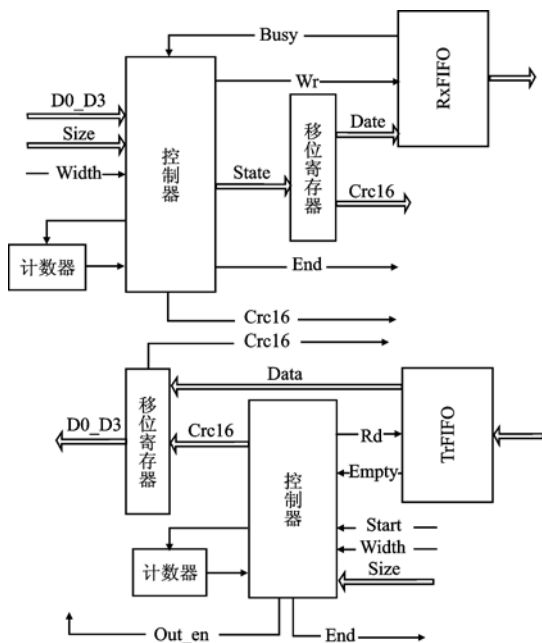


图 5 数据收发模块

4.3 状态控制模块

根据接收模块传送的命令编号产生与之对应的命令响应类型,进一步解析接收模块传送的命令参数.工作过程共有 9 个状态,状态间的转移关系如图 6 所示.接收到 CMD0 命令后都会从其它状态进入到空闲状态.

4.4 校验模块

CRC7 负责校验命令收发模块中的命令和响应;CRC16 负责校验数据收发模块中的数据.

5 验证与测试

开发测试平台使用的是 Altera 的 CycloneII 系列 FPGA 开发板^[5].开发板上有一个 SD 接口.测试平台的实物如图 7 所示.开发板可以通过一个 PCB

板 SD 接口与电脑 SD 接口连接,利用电脑对设计进行验证.

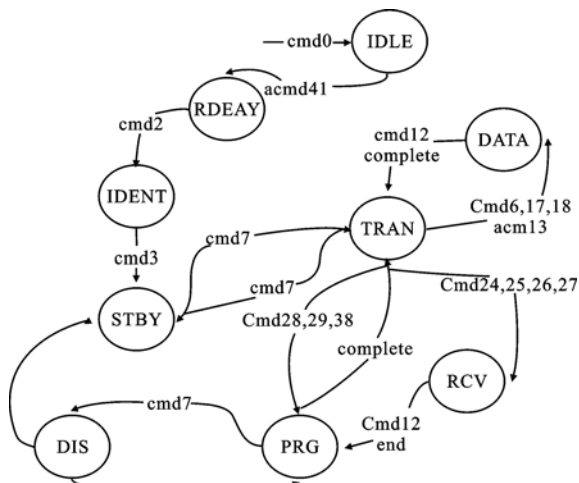


图 6 状态转移

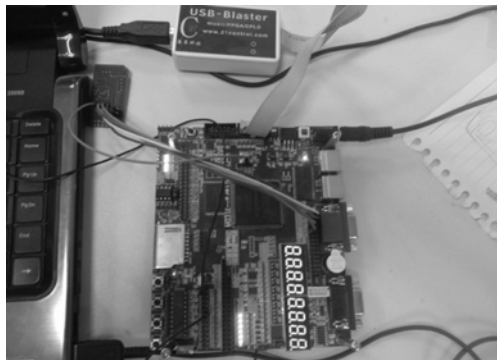


图 7 测试平台

在硬件调试过程中,采用内嵌式逻辑分析仪 (SignalTapII) 来采集相应的数据波形.图 8 是采集到的识别 SD 卡命令与响应波形图.从图中可以看出,该设计可以正确响应主机命令,完成识别过程.

图 9 中虚线所圈是将设计下载到 FPGA 开发板,与电脑相连接后被识别为 SD 存储卡标记,可以看出该设计可以被电脑正确识别.

6 结束语

本文实现了一种 SD 存储卡接口 SD 模式 IP 核的设计与实现.该设计能够对主机命令进行自动解析和回复,与 Flash 控制器连接后可以直接对 Flash 进行读写操作.对该设计进行 FPGA 功能验证,能够被电脑识别为 SD 接口,从而说明的设计的正确性和实用性.利用 SYNOPSIS 公司的 EDA 工具对该模块进行综合,并进行时序和面积的优化^[6],在 SMIC 0.18 μm 工艺下最大工作频率为 100 MHz,

整个设计综合后为 0.6 万门。

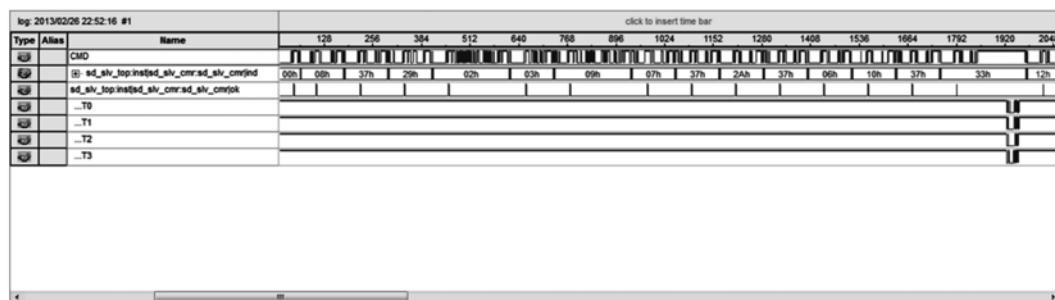


图 8 通信过程



图 9 电脑识别

参考文献:

- [1] SD Group, SD specifications: Part 1 Physical Layer Specification Version 1.00[s]. 2000.
- [2] SD Group, SD specifications: Part 1 Physical Layer Specification Version 2.00[s]. 2006.

[3] SD Group, SD specifications: Part 2 File System Specification Version 2.00[s]. 2006.

[4] 王宁,詹克团,高大明,等. 基于 AHB 总线的 SD/SDHC/ MMC 控制器设计[J]. 微电子学与计算机, 2012,21(12):80-83.

[5] Altera Inc. Cyclone II device handbook[EB/OL]. [2013-03-12]. http://www.altera.com.cn/literature/hb/cyc2/cyc2_cii5v1.pdf. 2007.

[6] 唐杉,徐强,王莉薇. 数字 IC 设计——方法、技巧和实践[M]. 北京:机械工业出版社,2006.

作者简介:

何丹男,(1984—),硕士研究生. 研究方向为接口芯片设计.

李树国男,(1963—),教授,博士生导师. 研究方向为信息安全算法及其大规模集成电路设计与实现.